



## 5. Aufgabenblatt

19.05.2010

### Aufgabe 1: Logik, Latch, Register

Geben Sie für alle folgenden reg-Variablen an, ob sie bei der Synthese in Latches, Flip-Flops oder kombinatorische Logik übersetzt werden. Begründen Sie Ihre Antworten mit den Kriterien für potenzielle Register.

a) Listing 1:

```
module a (input CLOCK, I, output reg O);
  reg T;
  always @(CLOCK, I)
    if (CLOCK) begin
      T = I;
      O = T;
    end
endmodule
```

b) Listing 2:

```
module b (
  input wire A,
  input wire [2:0] I,
  output reg [7:0] OCTAL);

  always @(posedge A)
    case (I)
      3'h0: OCTAL = 8'b00000001;
      3'h1: OCTAL = 8'b00000010;
      3'h2: OCTAL = 8'b00000100;
      3'h3: OCTAL = 8'b00001000;
      3'h4: OCTAL = 8'b00010000;
      3'h5: OCTAL = 8'b00100000;
      3'h6: OCTAL = 8'b01000000;
      3'h7: OCTAL = 8'b10000000;
    endcase
endmodule
```

c) Listing 3:

```
module b (
  input wire [3:0] I,
  output reg [7:0] OCTAL);

  always @(I)
    case (I)
      4'h0: OCTAL = 8'b00000001;
      4'h1: OCTAL = 8'b00000010;
      4'h2: OCTAL = 8'b00000100;
      4'h3: OCTAL = 8'b00001000;
    endcase
endmodule
```

```

4'h4: OCTAL = 8'b00010000;
4'h5: OCTAL = 8'b00100000;
4'h6: OCTAL = 8'b01000000;
4'h7: OCTAL = 8'b10000000;
endcase
endmodule

```

## Aufgabe 2: BCD nach Binär Konverter

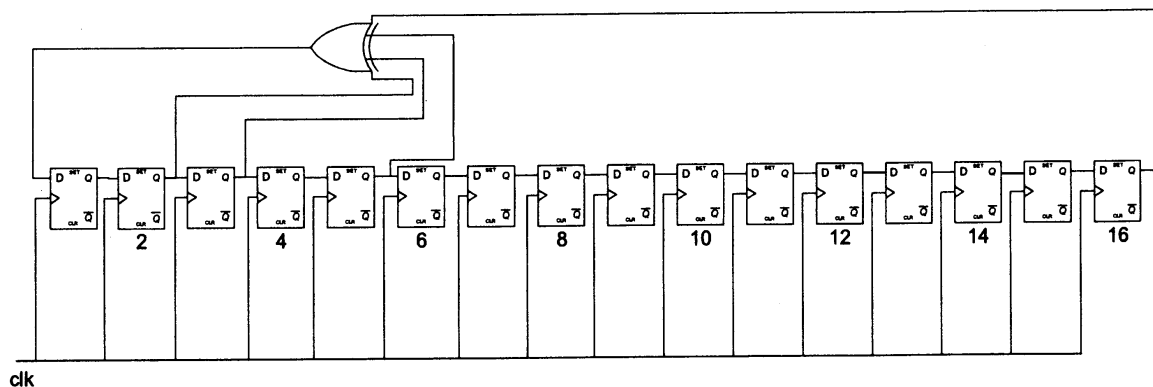
Implementieren Sie den folgenden Pseudo-Code für einen BCD nach Binär Konverter als Verhaltensbeschreibung in Verilog HDL. Die Länge der BCD-Zahl sei 24 Bit. Achten Sie darauf, dass bei der Synthese keine Latches entstehen. Testen Sie die Funktion ihres Moduls mit ISE.

Pseudo-Code für BCD nach Binär Konverter:

1.  $bin \leftarrow bcd\_data\_input$
2.  $bin \leftarrow 0$  (gleiche Bitbreite wie bcd)
3. Für  $count \leftarrow 1$  bis Bitbreite von bcd iteriere:
  - 3.1.  $\{bcd, bin\} \leftarrow \{bcd, bin\} \gg 1$
  - 3.2. Für jede 4-Bit Folge (3...0, 7...4, ...) in bcd iteriere  
Wenn die 4-Bit Folge größer 7, dann ziehe 3 von dieser Folge ab
4. bin enthält die konvertierte Zahl

## Aufgabe 3: Linear rückgekoppeltes Schieberegister

Die folgende Abbildung zeigt ein 16-stufiges linear rückgekoppeltes Schieberegister<sup>1</sup>.



Beschreiben Sie das Schieberegister in Verilog HDL. Für das Flip-Flop können Sie die *Primitive* von Verilog HDL benutzen. Weisen Sie die korrekte Funktionsweise durch Simulation nach.

<sup>1</sup> engl. LFSR, Linear Feedback Shift Register