



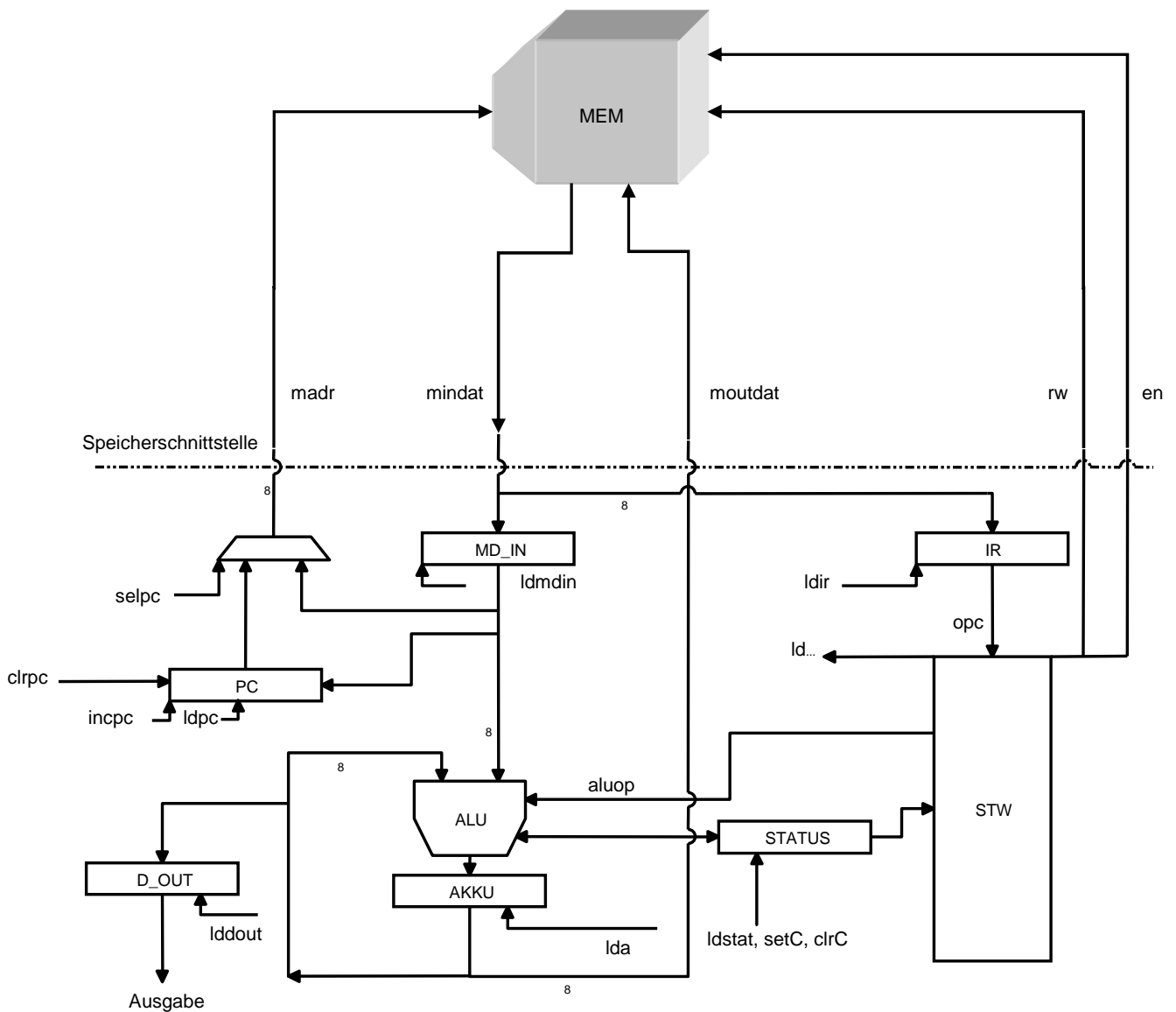
## 8. Aufgabenblatt

09.06.2010

### Aufgabe 1: Realisierung des Modellrechners WKP

Der in der Vorlesung vorgestellte Modellrechner soll jetzt vollständig in Verilog HDL beschrieben, synthetisiert und simuliert werden.

Die folgende Abbildung zeigt die Architektur/Struktur des Modellrechners.

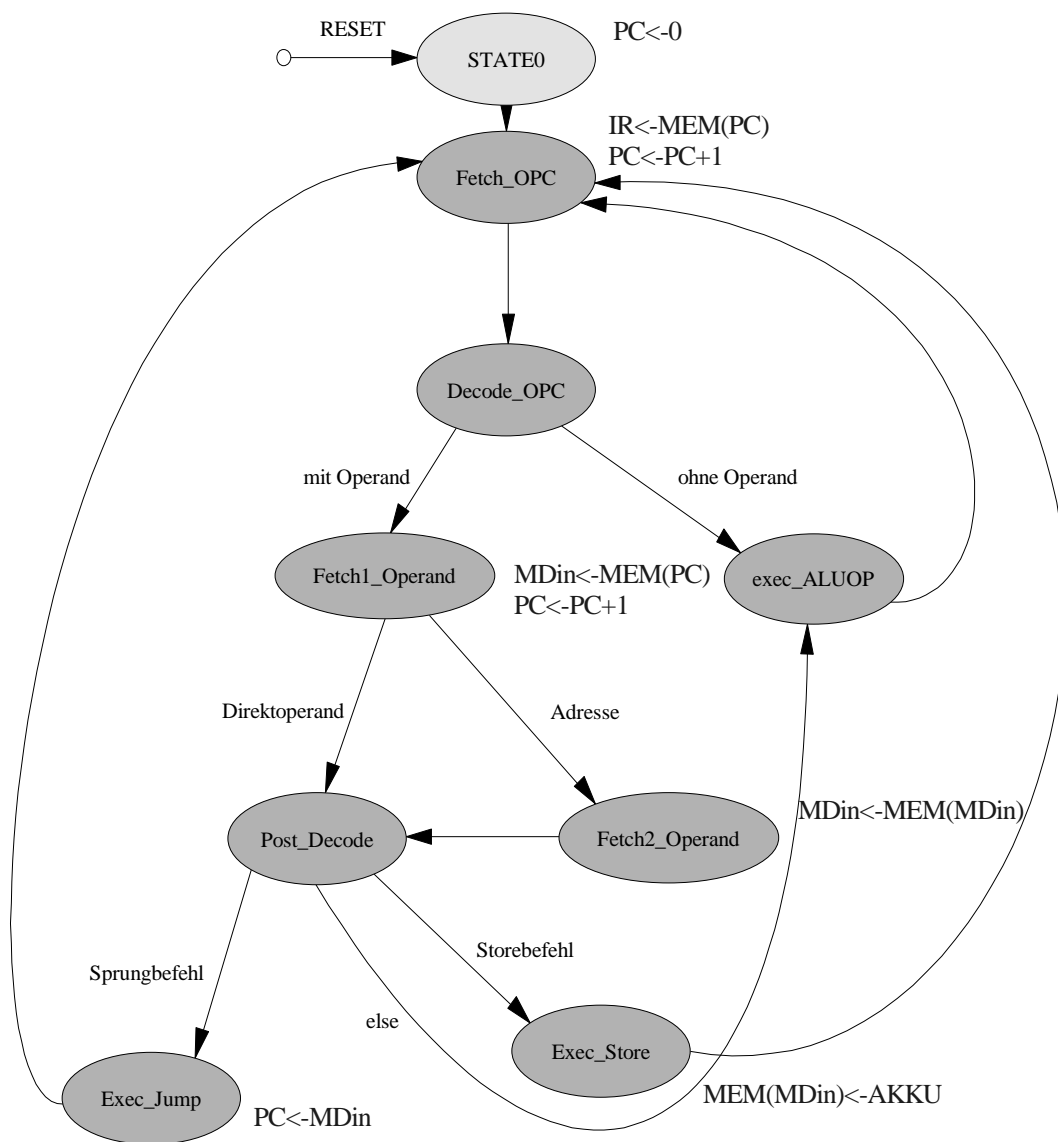


Die wesentlichen Komponenten sind:

- Speicher (Generierung über IP-Core Generator (vgl. Vorlesung 8))
- ALU (Realisierung als Schaltnetz)
- Steuerwerk

Die Register (PC, IR, AKKU) sind 8 Bit breit. Der Speicher wird mit einer 8 Bit breiten Adresse angesprochen. Der Dateneingang/Datenausgang ist jeweils 8 Bit breit. Die Beschreibung der Befehle sind auf dem Hilfsblatt zum Prozessor ([http://www.ra.informatik.tu-darmstadt.de/fileadmin/user\\_upload/Group\\_RA/cms/hilfsblatt\\_modellprozessor.pdf](http://www.ra.informatik.tu-darmstadt.de/fileadmin/user_upload/Group_RA/cms/hilfsblatt_modellprozessor.pdf)) zu finden.

Der Zustandsgraph des Steuerwerks ist in folgender Abbildung zu sehen.



a) Beschreiben Sie den Modellrechner in Verilog HDL.

- b) Analysieren Sie die Ergebnisse der Synthese. Wieviele CLBs (LUTs und Register) benötigt Ihre Implementierung. Mit welcher Taktfrequenz können Sie Ihre Implementierung maximal betreiben.

## Aufgabe 2: Test für den Modellprozessor WKP

Nach erfolgreicher Implementierung des Modellprozessors soll folgendes Testprogramm abgearbeitet werden.

```
0 : 00;
1 : 01;
2 : e0;
3 : 70;
4 : e0;
5 : c0;
6 : 09;
7 : b0;
8 : 03;
9 : 00;
a : 80;
b : e0;
c : 50;
d : e0;
e : c0;
f : 00;
10 : b0;
11 : 0c;
```

- a) Analysieren und kommentieren Sie das Programm.

Die MIF-Datei, ein Simulator und ein Assembler stehen auf der Webseite zur Veranstaltung zum Download bereit.

## Aufgabe 3: Test des Modellprozessors auf einem FPGA

Testen Sie Ihre Implementierung mit dem Testprogramm aus Aufgabe 2 auf einem FPGA. Dazu stehen Ihnen die beiden *Virtual FPGA Lab Server* zur Verfügung.

Für die Ausführung auf dem FPGA ist ein *User-Constraints-File* nötig. Für den Spartan3E XC3S500E FPGA im Package FG320 auf einem *SPARTAN-3E-Board* sieht diese Datei wie folgt aus. Hierbei wird der Port D\_OUT (entspricht dem Ausgaberegister) auf die acht LEDs gelegt, so dass man das ausgegebene Byte betrachten kann.

```
NET "D_OUT<0>" LOC = "F12" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 8;
NET "D_OUT<1>" LOC = "E12" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 8;
NET "D_OUT<2>" LOC = "E11" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 8;
NET "D_OUT<3>" LOC = "F11" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 8;
NET "D_OUT<4>" LOC = "C11" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 8;
NET "D_OUT<5>" LOC = "D11" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 8;
NET "D_OUT<6>" LOC = "E9" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 8;
NET "D_OUT<7>" LOC = "F9" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 8;
```

```
NET "clkkin" LOC = "C9" | IOSTANDARD = LVCMOS33;
```

```
NET "reset" LOC = "L13" | IOSTANDARD = LVTTTL | PULLUP ;
```

Diese Datei steht auf der Webseite zur Veranstaltung zum Download zur Verfügung.

## Aufgabe 4: Zusatzaufgabe

Implementieren Sie das Steuerwerk des Modellprozessors als Mikroprogrammsteuerwerk und testen Sie Ihre Implementierung mit dem Testprogramm aus Aufgabe 2.