

# Grundlagen der Informatik III

Wintersemester 2010/2011

Wolfgang Heenes, Patrik Schmittat



TECHNISCHE  
UNIVERSITÄT  
DARMSTADT

## 6. Aufgabenblatt

06.12.2010

**Hinweis:** Der Schnelltest und die Aufgaben sollen in den Übungsgruppen bearbeitet werden. Die Hausaufgaben sind in der Kalenderwoche 50 (13.12. bis 17.12.) bei den Tutoren in **physikalischer Form** (handschriftlich oder gedruckt) abzugeben. Bei allen Abgaben ist der Name des Tutors und die Übungsgruppe deutlich anzugeben. Bei Teamabgaben wird nur eine Lösung eingereicht, die alle Namen der Teammitglieder enthält.

### Aufgabe 1: Schnelltest

Fragen	Antworten
1. Welche der folgenden Aussagen zu RAM-Speichern sind richtig?	<input type="checkbox"/> DRAMs erfordern keinen Refresh. <input type="checkbox"/> Die Stromaufnahme von SRAMs ist höher als die von DRAMs. <input type="checkbox"/> Die Speicherung eines Wertes erfolgt bei SRAMs durch Ladung eines Kondensators. <input type="checkbox"/> SRAMs sind i. A. schneller als DRAMs, benötigen aber auch mehr Platz auf dem Chip.
2. Wo werden (zeitliche und räumliche) Lokalitäten ausgenutzt?	<input type="checkbox"/> Hardware <input type="checkbox"/> Betriebssystem <input type="checkbox"/> Anwendungsebene <input type="checkbox"/> Pipelining
3. Bei welchem der Beispiele wird zeitliche (temporale) Lokalität ausgenutzt?	<input type="checkbox"/> Addition zweier Matrizen <input type="checkbox"/> While-Schleife <input type="checkbox"/> Sprung zu einem Label <input type="checkbox"/> sequentielle Instruktionsfolge
4. Was sind Vorteile von Write-Through gegenüber Write-Back?	<input type="checkbox"/> Einfacher zu implementieren. <input type="checkbox"/> Misses sind einfacher zu behandeln. <input type="checkbox"/> Einzelne Worte werden mit Cache-Geschwindigkeit geschrieben. <input type="checkbox"/> Beim Rückschreiben kann effizient von großen Speicherbandbreiten Gebrauch gemacht werden.
5. Welche Ersetzungsstrategie sind bei einem direkt abbildenen Cache sinnvoll?	<input type="checkbox"/> keine <input type="checkbox"/> LRU <input type="checkbox"/> FIFO <input type="checkbox"/> LIFO

## Aufgabe 2: Speichergrößen

Auf Aufbau eines Rechnersystems sind die folgenden Speicherbausteine gegeben:

- ROM (8 Daten-, 16 Adressleitungen, Steuerleitungen)
- RAM (8 Daten-, 19 Adressleitungen, Steuerleitungen)

- a) Welche Speicherkapazität hat der obige ROM Baustein?
- b) Welche Kapazität hat der obige RAM Baustein?
- c) Wie viele ROM Bausteine benötigen Sie zur Realisierung von 512 KByte?
- d) Wie viele RAM Bausteine benötigen Sie zur Realisierung von 8 MByte?

## Aufgabe 3: Direct-Mapped Cache I

Betrachten Sie einen direkt abbildenden Cache mit 8 Einträgen. Es wird nacheinander auf die folgenden Hauptspeicheradressen (Darstellung Hexadezimal) zugegriffen:

0x01, 0x02, 0x03, 0x13, 0xF8, 0xF9, 0xAA, 0xCC, 0x57

- a) Wie viele Adressbits hat der Hauptspeicher?
- b) Wie viele Index- bzw. Tag-Bits werden für einen Cacheeintrag benötigt?
- c) Geben sie den Inhalt des Caches am Ende der oben angegebenen Zugriffsfolge an. Neben Index- und Tag-Bits sollen auch die Valid-Bits angegeben werden.

## Aufgabe 4: Direct-Mapped Cache II

Betrachten Sie ein 32-Bit System mit 1024 MB Hauptspeicher. Es wird ein direkt abbildender Cache mit 2048 Einträgen verwendet. Die Blockgröße beträgt 16 Byte.

- a) Wie viele Bits sind für die Adressierung nötig, um den kompletten Hauptspeicher anzusprechen?
- b) Wie viele Bits werden für das Index-Feld verwendet?
- c) Wie viele Bits werden für das Tag-Feld verwendet?
- d) Wie groß ist der Cache ohne Valid- und Tag-Bits insgesamt?
- e) Wie viele Blöcke können sich gleichzeitig im Cache befinden?
- f) Wenn das System erweiterbar wäre, wieviel Hauptspeicher könnte es dann adressieren?

Die Adresse für einen Cachezugriff bei einem 32 Bit System teilt sich wie folgt auf:

T T T T T T T T T T T T T T	I I I I I I I I I I I I I I	0 0 0 0 0
-----------------------------	-----------------------------	-----------

Ein T steht für ein Tag-Bit, ein I für Indexbit und ein 0 für ein Offsetbit.

- g) Wie viele Blöcke werden pro Cacheeintrag gespeichert? Wie viele Bytes enthält jeder Block (durch die Offsetbits kann ein Byte aus dem Block ausgewählt werden)?
- h) Wie viele KByte an Daten kann der Cache maximal aufnehmen?
- i) Wie groß ist der Cache insgesamt?

## Hausaufgabe 1: Vergleich zweier Architekturen (5 Punkte)

In dieser Aufgabe sollen zwei Architekturen verglichen werden, wobei die eine Architektur einen Coprozessor für Fließkommaberechnungen besitzt (MFP: *Machine with Floating Point*), und die zweite nicht (MNFP: *Machine with no Floating Point*).

Das zu analysierende Programm  $P$  besitzt folgende Befehlshäufigkeiten:

<i>Befehlsklasse</i>	<i>Häufigkeit</i>	<i>Befehlsklasse</i>	<i>Häufigkeit</i>
floating-point multiply	12%	floating-point divide	7%
floating-point add	13%	integer instructions	68%

Die Architektur MFP kann die benötigten Fließkommaberechnungen direkt durchführen, wobei Sie die jeweiligen CPI der folgenden Tabelle entnehmen können:

<i>Befehlsklasse</i>	CPI	<i>Befehlsklasse</i>	CPI
floating-point multiply	6	floating-point divide	22
floating-point add	3	integer instructions	2

Die Architektur MNFP muss dagegen die Fließkommaberechnungen mit Integer-Instruktionen simulieren, wobei Sie die jeweils benötigten Operationen der folgenden Tabelle entnehmen können:

<i>Befehlsklasse</i>	<i>Anzahl Instruktionen</i>
floating-point multiply	30
floating-point add	20
floating-point divide	50

Sie können davon ausgehen, dass auf der Architektur MNFP jede Integer-Instruktion ebenfalls 2 Zyklen benötigt. Beide Maschinen besitzen eine Taktfrequenz von 1.5 GHz.

- Geben Sie die MIPS-Raten beider Architekturen für das Programm  $P$  an.
- Angenommen, die Maschine MFP benötigt 350 Millionen Instruktionen für  $P$ . Wie viele Integer-Operationen benötigt dann MNFP für das Programm?
- Wie lange ist die Ausführungszeit (in Sekunden) für Programm  $P$  auf beiden Maschinen?

## Hausaufgabe 2: Caches (5 Punkte)

Die folgende Tabelle enthält die Parameter (vgl. Vorlesung 14) zweier Caches.

Cache	m	C	B	E	S	t	s	b
1.	32	2048	8	1				
2.	32	2048	32	1				

- Berechnen Sie die fehlende Einträge S, t, s und b.

Gegeben seien zwei Arrays  $a$  und  $b$  mit der Größe  $n = 2^k$ , sowie ein Programm zur Berechnung des Skalarproduktes

$$s = a_0 \cdot b_0 + a_1 \cdot b_1 + \dots + a_{n-1} \cdot b_{n-1}.$$

Die Arrays sind im Datensegment wie folgt abgelegt:

```
.data
a: .long ... # n Words
b: .long ... # n Words
```

- 
- b) Geben Sie die Speicherzugriffsfolge des Programms für  $k = 3$  an, unter der Annahme, dass das Datensegment bei Adresse `0x10010000` beginnt.
- c) Erwarten Sie eine Verbesserung der Performanz des Programms auf einer Architektur, die einen 64 Byte großen Direct-Mapped Cache mit 4 Einträgen besitzt (Wortgröße 32 Bit)? Begründen Sie Ihre Antwort. Überlegen Sie auch, was passiert, wenn  $k$  andere Werte als 3 annimmt.