

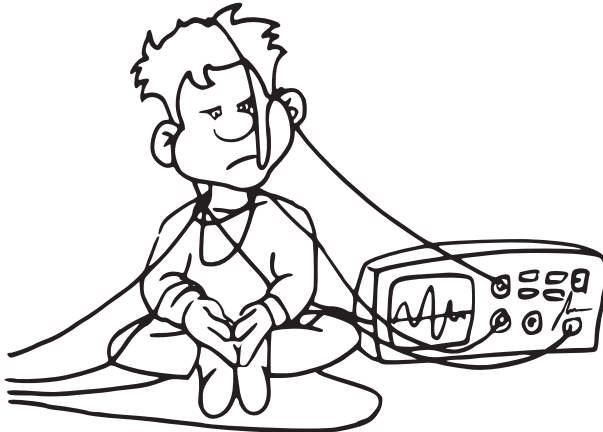
Grundlagen der Rechner-technologie

Sommersemester 2010 – 10. Vorlesung

Dr.-Ing. Wolfgang Heenes



TECHNISCHE
UNIVERSITÄT
DARMSTADT



1. Vorbesprechung drittes Labor

2. Zusammenfassung und Ausblick

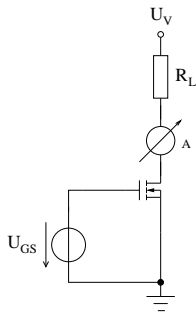
Aufgabe 11.1



- ▶ Erläutern Sie die Funktion des Bulk-Anschlusses. Welche Spannung kann damit verändert werden?
- ▶ Mit dem Bulk-Anschluss kann die Threshold-Spannung des Transistors verändert werden.

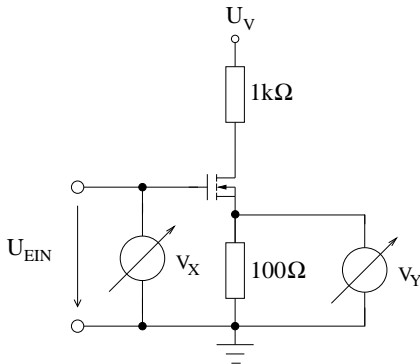
Aufgabe 11.2

- ▶ Zeichnen Sie eine Schaltung zur Aufnahme der Eingangskennlinie. Dabei stehen zwei Vielfachmeßgeräte zur Verfügung.
- ▶ Die Aufnahme mit Vielfachmessgeräten ist recht einfach: Man legt die Spannung U_{GS} direkt an und misst den Strom mit einem Amperemeter. Als Widerstand R_L kann man z. B. einen $1\text{ k}\Omega$ -Widerstand benutzen, das so bei einer Versorgungsspannung von 5 V der maximale Strom auf 5 mA begrenzt wird.



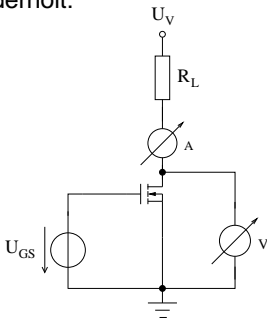
Aufgabe 11.3

- ▶ Zeichnen Sie eine Schaltung zur Aufnahme der Kennlinie mit dem Oszilloskop. Kennzeichnen Sie die Anschlüsse. In welchem Betriebsmodus muß das Oszilloskop betrieben werden?
- ▶ Messen des Stroms über Spannung.



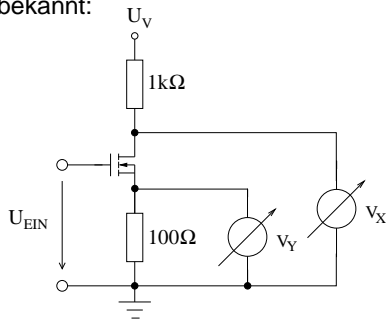
Aufgabe 11.4

- ▶ Zeichnen Sie eine Schaltung zur Aufnahme der Ausgangskennlinie.
- ▶ Bei der Messung der Ausgangskennlinie wird der Gate-Anschluss jeweils auf ein festes Potential gelegt. Dann wird die Versorgungsspannung U_V verändert und dabei jedes Mal die Spannung U_{DS} und der Strom I_{DS} gemessen. Diese Werte ergeben *eine* Ausgangskennlinie. Dann wird der Vorgang mit einem anderen Wert für U_{GS} wiederholt:



Aufgabe 11.4

- ▶ Die Messung der Ausgangskennlinie mit dem Oszilloskop verläuft ähnlich wie bei der Eingangskennlinie.
- ▶ Dabei wird U_{EIN} jeweils mit einer konstanten Spannung belegt. Als Spannung U_V wird eine Dreiecksspannung angelegt. Man misst dann die Spannung V_X und V_Y , wobei V_X wiederum nicht wirklich die Spannung U_{DS} ist. Der Fehler ist aber auch wieder bekannt:



Aufgabe 11.5



- ▶ Berechnen Sie den Strom I_{DS} und die Spannung U_{DS} bzw. U_y . In welchem Betriebsbereich befindet sich der Transistor?
- ▶ Man geht so vor, dass man zunächst einen Zustand *annimmt*, und dann prüft, ob sich bei der Berechnung ein Widerspruch ergibt:
- ▶ Ansatz:

$$\begin{aligned} I_{DS} &= \frac{K}{2} \cdot (U_{GS} - U_{TH})^2 \\ &= 12,5 \frac{\mu A}{V^2} \cdot (3 V - 1 V)^2 \\ &= 12,5 \frac{\mu A}{V^2} \cdot 4 V^2 \\ &= 50 \mu A \end{aligned}$$

Aufgabe 11.5

- ▶ Maschengleichung der Ausgangsmasche:

$$E = I_{DS} \cdot R_L + U_{DS}$$

Nach U_{DS} aufgelöst:

$$\begin{aligned} U_{DS} &= E - I_{DS} \cdot R_L \\ &= 10 \text{ V} - 50 \mu\text{A} \cdot 100 \text{ k}\Omega \\ &= 10 \text{ V} - 5 \text{ V} \\ &= 5 \text{ V} \end{aligned}$$

- ▶ Aus der Annahme, dass der Transistor im gesättigten Zustand ist, ergibt sich $U_{DS} = 5 \text{ V}$. Dieser Wert erfüllt auch tatsächlich die Forderung $U_{GS} - U_{TH} \leq U_{DS}$, denn $2 \text{ V} \leq 5 \text{ V}$. Damit ergibt sich kein Widerspruch, die Annahme war also korrekt.

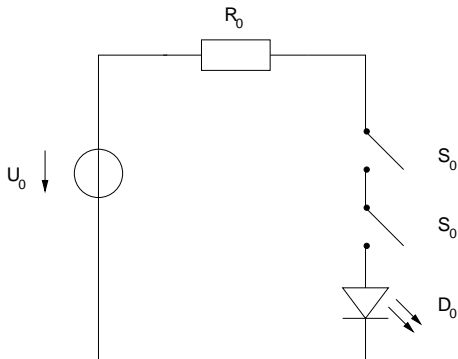
Aufgabe 11.6



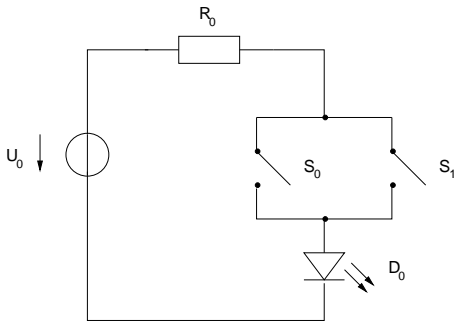
- ▶ Die Schaltung aus Abb. ... realisiert einen Inverter. Welchen Vorteil hat die Schaltung gegenüber einem Inverter mit einem Bipolar-Transistor?
- ▶ Die Schaltung wird nur über Potentiale gesteuert, und nicht über Strom. Daher belastet der Eingang dieser Schaltung eine Quelle nicht sonderlich. Der Vorteil der CMOS-Logik, dass es keine statische, sondern nur dynamische Verlustleistung gibt, ist hier nicht gegeben, da sowohl im gesättigten, als auch im Anlaufbereich ein Strom fließt.

Aufgabe 11.7

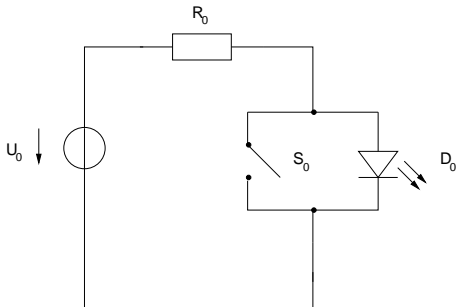
- ▶ Zeichnen Sie einen Schaltplan für die Realisierung von *AND*, *OR* und *NOT*. Zur Verfügung stehen Schalter, Widerstände, Spannungsquellen und Leuchtdioden.



Aufgabe 11.7



Aufgabe 11.7



► Ausgangsstufen bei TTL-Gattern¹:

1. *Totem-Pole-Ausgang*

Er besitzt sowohl gegen Versorgungsspannung, als auch gegen Masse einen Schalttransistor. Dies bewirkt, daß der Ausgangswiderstand für beide Logikpegel sehr gering ist. Genau einer der beiden Transistoren ist jeweils leitend. *Das Verbinden von Ausgängen ist verboten.*

2. *Tri-State-Ausgang*

Er besitzt ebenso wie der Totem-Pole-Ausgang zwei Schalttransistoren, die genauso arbeiten. Es ist jedoch möglich durch ein von außen angelegtes Signal beide Transistoren in den gesperrten Zustand zu bringen. Der Ausgang des Schaltkreises erhält dadurch keinen logischen Pegel, sondern wird hochohmig. So ist es möglich, mehrere Ausgänge miteinander zu verbinden, wenn sichergestellt ist, daß höchstens einer der Ausgänge zur gleichen Zeit nicht hochohmig ist.

¹Transistor-Transistor-Logik

► Ausgangsstufen bei TTL-Gattern (Fortsetzung):

3. *Open-Collector-Ausgang*

Er besteht aus einer Emitter-Grundschtung. Der Kollektor ist direkt herausgeführt und intern nicht verschaltet. Das bedeutet, daß der Ausgang selbst nur in der Lage ist, eine niederohmige Verbindung mit Masse herzustellen. Um einen High-Pegel zu erreichen, muß der Ausgang über einen entsprechend dimensionierten Widerstand („pull-up Widerstand“) mit der Versorgungsspannung verbunden werden. Das erlaubt ebenfalls das Verbinden von mehreren Ausgängen, die sogar gleichzeitig aktiv sein dürfen.

Aufgabe 11.8



- ▶ Ordnen Sie die Schaltbilder in Abb. ... und Abb. ... den Ausgangsstufen zu.
- ▶ Bei der ersten Abbildung handelt es sich um eine Open-Collector-Ausgangsstufe, da hier nur aktiv auf Masse geschaltet werden kann und keine Verbindung zur Versorgungsspannung hergestellt werden kann.

Bei der zweiten Ausgangsstufe handelt es sich um einen Totem-Pole-Ausgang, der jeweils gegen Masse oder Versorgungsspannung schalten kann. Es kann also eine logische 1 oder eine logische 0 am Ausgang erzeugt werden.

Aufgabe 11.9

- ▶ Warum ist das Verbinden von Totem-Pole-Ausgängen verboten?
- ▶ Schaltet ein Ausgang zur Masse und einer zur Versorgungsspannung, dann entsteht eine sehr niederohmige Verbindung zwischen U_V und GND . Durch den Kurzschluss fließt ein hoher Strom.

Aufgabe 11.10



- ▶ Warum ist es gut beim Totem-Pole-Ausgang für beide Logikpegel einen geringen Ausgangswiderstand zu haben?
- ▶ Beim Übergang von gesperrt \leftrightarrow gesättigt muß Ladung transportiert werden. Dies geht mit kleinen Widerständen schneller, da der Strom größer ist.

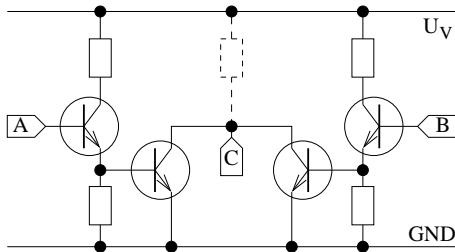
Aufgabe 11.11



- ▶ Geben Sie ein Beispiel aus der Praxis an, in dem Tri-State-Ausgänge auftreten und begründen Sie Ihre Antwort.
- ▶ Bustreiber: Mehrere Geräte benutzen denselben Bus. Damit die Übertragung funktioniert, darf jeweils nur ein Gerät einen Logikwert auf den Bus legen. Daher müssen alle anderen Geräte in den hochohmigen Zustand schalten, sich also vom Bus „abtrennen“.

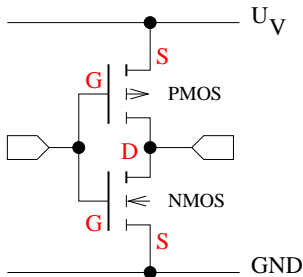
Aufgabe 11.12

- ▶ Die Ausgänge zweier TTL-Open-Collector-Inverter werden zusammengeschaltet. Zeichnen Sie das Schaltbild. Welche logische Funktion wird realisiert?
- ▶ Fügt man am Ausgang noch einen Pull-Up-Widerstand hinzu, ergibt sich die folgende Schaltung, die eine *NOR-Verknüpfung* der Eingänge realisiert, also $C = \overline{A + B}$. Der Widerstand ist allerdings auf jeden Fall nötig, damit auch ein high-Pegel am Ausgang erzeugt werden kann:



Aufgabe 11.13

- ▶ Skizzieren Sie Abb. ... in Ihrer Ausarbeitung und kennzeichnen Sie die Anschlüsse der Transistoren (Bulk, Gate, Source, Drain).
- ▶ Der Anschluss *Drain* ist bei einem **n-Kanal**-Transistor immer der, der an dem höheren Potential anliegt. Bei einem **p-Kanal**-Transistor ist der *Drain*-Anschluss auf dem niedrigeren Potential:



Aufgabe 11.14

- ▶ Welche logische Funktion wird durch die Schaltung in Abb. ... realisiert? Erstellen Sie als Zwischenschritt eine Tabelle und geben Sie jeweils an, ob die Transistoren leiten oder nicht.
- ▶ Die Schaltung realisiert eine *NOR-Verknüpfung* der Eingänge. Der Ausgang geht genau dann auf high, wenn beide Eingänge low sind, und sobald einer der Eingänge high ist, ist der Ausgang low: (L=leitend, S=sperrend):

A	B	T ₁	T ₂	T ₃	T ₄	Y
0	0	L	L	S	S	1
0	1	L	S	L	S	0
1	0	S	L	S	L	0
1	1	S	S	L	L	0

Aufgabe 11.15



- ▶ Welche Vorteile haben SMD-Gehäuse gegenüber DIL-Gehäusen?
- ▶ SMD-Gehäuse haben folgende Vorteile:
 - ▶ bessere Eignung für maschinelle Bestückung
 - ▶ geringerer Platzbedarf (höhere Integrationsdichte)
 - ▶ Multi-Layer-Technik wird durch SMD-Bauteile möglich



▶ *Raise Time:*

Mit t_r wird die Zeit bezeichnet, die ein Signalimpuls benötigt, um vom 10%-Pegel bis zum 90%-Pegel seiner Differenzspannung zu steigen. (r steht für engl. „raise“ = ansteigen.)

▶ *Fall Time:*

Mit t_f wird die Zeit bezeichnet, die ein Signalimpuls benötigt, um vom 90%-Pegel bis auf den 10%-Pegel seiner Differenzspannung zu fallen. (f steht für eng. „fall“ = fallen.)

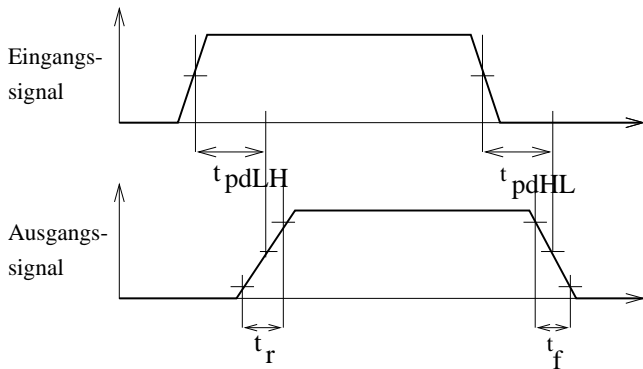
▶ *Propagation Delay Time:*

Mit t_{pdHL} wird die Zeit bezeichnet, die zwischen dem 50%-Pegel einer Signaleingangsflanke und dem 50%-Pegel seiner abfallenden Signalausgangsflanke liegt.

(t_{pdHL} = „propagation delay time, high-to-low-level output“)

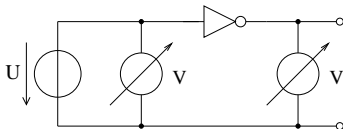
t_{pdLH} analog t_{pdHL} , aber steigende Flanke am Ausgang.

$$t_{pd} := \frac{1}{2}(t_{pdHL} + t_{pdLH}).$$



Aufgabe 11.16

- ▶ Zeichnen Sie einen Schaltplan (Angabe aller PIN-Nummern) zur Messung des Zeitverhaltens eines Inverters. Die PIN-Belegung des CMOS-Inverters 4007 ist dem Datenblatt im Anhang zu entnehmen.
- ▶ Man belegt den Eingang mit einem Rechtecksignal, und misst dann mit dem Oszilloskop die Eingangs- und die Ausgangsspannung des Inverters:





- ▶ Vorbesprechung drittes Labor

Nächste Vorlesung behandelt

- ▶ AD/DA Wandler